

# BEST AVAILABLE COPY

(19) 日本国特許庁 (J.P.)

(2) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2003-77728  
(P2003-77726A)

(43) 公開日 平成15年3月14日 (2003.3.14)

(51) Int. Cl. <sup>7</sup>	識別記号	F 1	特許庁 (特考)
H 0 1 F 17/00		H 0 1 F 17/00	C 5 E 0 6 2
41/04		41/04	C 5 E 0 7 0

審査請求 未請求 請求項の数15 O L (全 9 頁)

(21) 出願番号 特願2001-262239 (P2001-262239)  
(22) 出願日 平成13年8月30日 (2001.8.30)

(71) 出願人 000237721  
エフ・ディー・ケイ株式会社  
東京都港区新橋5丁目36番11号  
(72) 発明者 鈴木 清生  
東京都港区新橋5丁目36番11号 エフ・デ  
ィー・ケイ株式会社内  
(73) 発明者 大橋 佳成  
東京都港区新橋5丁目36番11号 エフ・デ  
ィー・ケイ株式会社内  
(74) 代理人 100078861  
弁理士 渡見 義

最終頁に続く

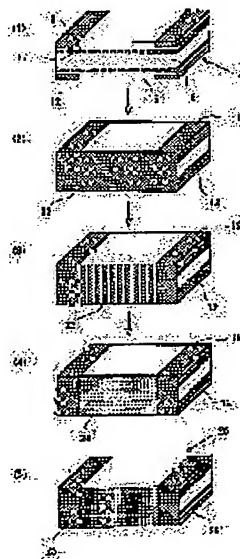
(54) 【発明の名称】 チップ型インダクタ及びその製造方法

(57) 【要約】

【課題】 多数のチップを同時に取り扱えるようにして生産性を高め、しかも導体パターン形成が容易であり、実装作業性を良好とする、広いインダクタンス可変範囲を実現でき、Q値を高めることを可能とする。

【解決手段】 略直方体状のチップの両端部に外部電極2, 5が設けられ、コイル軸の方向が両外部電極間を結ぶ方向となるように螺旋状のコイルが形成され、そのコイル端部が外部電極に接続されており、コイル軸方向に垂直なチップ断面形状の厚／幅が1未満であるチップ型イ

ンダクタである。コイルの一部となる上下の平行線状の導体パターン1, 7, 1, 5は積層工程で形成されてチップ内に埋設され、コイルの残部となる側部の平行線状の導体パターン2, 3は1個1個のチップに分離後にチップ側面に形成され、それらの導体パターンが交互に接続されて螺旋状のコイルとなる。そして側部の導体パターン上に絶縁保護層2, 4を設ける。



【特許請求の範囲】

【請求項1】 略直方体状のチップの両端部に外部電極が設けられ、コイル軸の方向が両外部電極間を結ぶ方向となるように螺旋状のコイルが形成され、そのコイル端末が前記外部電極に接続されていて、コイル軸方向に垂直なチップ断面形状の厚／幅が1未満であるチップ型インダクタにおいて、

コイルの一部となる上下の平行線状の導体パターンはチップ内に埋設され、コイルの残部となる側部の平行線状の導体パターンはチップ側面に形成され、それらの導体パターンが交互に接続されて螺旋状のコイルとなっており、側部の平行線状の導体パターン上に絶縁保護層が設けられていることを特徴とするチップ型インダクタ。

【請求項2】 チップは誘電体セラミックスの焼結体からなり、絶縁保護層は絶縁性樹脂からなる請求項1記載のチップ型インダクタ。

【請求項3】 上下の平行線状の導体パターンの一方若しくは両方がチップ長手方向に対して傾斜したパターンであるのに対して、側部の平行線状の導体パターンはチップ長手方向に対して垂直なパターンである請求項1又は2記載のチップ型インダクタ。

【請求項4】 上下の平行線状の導体パターンの幅と配列ピッチが、側部の平行線状の導体パターンの幅と配列ピッチに等しい請求項1乃至3のいずれかに記載のチップ型インダクタ。

【請求項5】 上下の平行線状の導体パターンの幅と配列ピッチに対して、側部の平行線状の導体パターンの幅と配列ピッチが全体的に若しくは部分的に異なっている請求項1乃至3のいずれかに記載のチップ型インダクタ。

【請求項6】 外部電極が、チップの下面若しくは上面の端部に形成されている端子導体膜と、チップ端部に埋設され端縁が露出している1層以上のダミー導体膜とで構成されている請求項1乃至5のいずれかに記載のチップ型インダクタ。

【請求項7】 複数層のダミー導体膜が0.3mm以下の厚みの誘電体層を介するように形成されている請求項6記載のチップ型インダクタ。

【請求項8】 略直方体状のチップの両端部に外部電極を設け、コイル軸の方向が外部電極間を結ぶ方向となるように螺旋状のコイルを形成し、そのコイル端末を前記外部電極に接続するようにし、コイル軸方向に垂直なチップ断面形状の厚／幅を1未満とするチップ型インダクタの製造方法において、

誘電体層の上にコイルの一部となる第1の平行線状の導体パターンを印刷形成し、積層した別の誘電体層を介してコイルの一部となる第2の平行線状の導体パターンを印刷形成し、更にその上に誘電体層を設け、一体化した後個々のチップに切断分離し、チップの両側面に第3及び第4の平行線状の導体パターンを形成して、それら

によって螺旋状のコイルを構成し、側面の第3及び第4の平行線状の導体パターン上に絶縁保護層を設けることを特徴とするチップ型インダクタの製造方法。

【請求項9】 チップの両側面に、面状の導体膜を形成した後、レーザ加工により多数の平行溝を掘ることによって平行線状の導体パターンを形成する請求項8記載のチップ型インダクタの製造方法。

【請求項10】 チップの両側面の面状の導体膜を、積層時に線状導体パターンが側面に位置するように印刷積層し、その後の焼成によって形成する請求項9記載のチップ型インダクタの製造方法。

【請求項11】 チップの両側面の面状の導体膜を、チップ焼成後に導体ペーストを塗布し焼き付けることによって形成する請求項9記載のチップ型インダクタの製造方法。

【請求項12】 チップの両側面に、スクリーン印刷法、あるいは転写法により平行線状の導体パターンを形成する請求項8記載のチップ型インダクタの製造方法。

【請求項13】 積層時に、チップの下面若しくは下面と上面の両端部に、外部電極となる端子導体膜を印刷により形成する請求項8乃至12のいずれかに記載のチップ型インダクタの製造方法。

【請求項14】 積層時に、チップの両端内部に、外部電極の一部となるダミー導体膜を印刷により形成する請求項13の記載のチップ型インダクタの製造方法。

【請求項15】 チップの上下の平行線状の導体パターンの幅と配列ピッチは一定に維持し、それに対して側部の平行線状の導体パターンの幅と配列ピッチを全体的に若しくは部分的に変えることにより、インダクタンス値の異なる複数品種の製品を製造する請求項8乃至14のいずれかに記載のチップ型インダクタの製造方法。

【発明の詳細な説明】

【00001】

【発明の属する技術分野】本発明は、表面実装に対応したチップ型インダクタ及びその製造方法に関し、更に詳しく述べると、コイルの一部となる上下の導体パターンは積層時に形成されてチップ内に埋設され、コイルの残部となる側部の導体パターンはチップ切断後に側面に形成され、それらの導体パターンが交互に接続されることで螺旋状のコイルを構成している構造のチップ型インダクタ及びその製造方法に関するものである。この技術は、例えば携帯機器などの高周波回路に用いるインダクタンス部品として有用である。

【00002】

【従来の技術】チップ型インダクタの一種形式として、両方の外部電極の配置方向がコイル軸方向に一致するようにコイルを形成する構造がある。この形式は、原理的に構造に方向性が無いために、回路基板に対するチップの置き方が変わっても磁界の発生方向が変わらない（即ち、電磁気的特性に変化がない）利点があり、従来から

印刷積層方式やレーザー加工方式等で実現されている。

【0.0.0.3】印刷積層方式は、誘電体層と導体パターンとを交互に印刷積層して導体パターンを層次接続し、誘電体チップ中で積層方向に重畳した螺旋状のコイルを形成し、該コイルの両端部をそれぞれ引出導体によって誘電体チップ両端部の外部電極に接続する構造である。

【0.0.0.4】レーザー加工方式は、誘電体材料からなるチップ素体の表面全体に導体膜を形成しておき、レーザー加工によって中央部外周に螺旋状の溝を掘りコイルとするものである。一般にチップ素体は、両端部も中央部も、コイル軸に垂直な断面は全て正方形形状としている。両端部に外部電極を形成し、コイル外周面を絶縁樹脂層で被覆して保護する構造になっている。

【0.0.0.5】

【発明が解決しようとする課題】印刷積層方式は、コの字型のような導体パターンを向きを変え積み重ねてコイルを形成するために、工程が非常に複雑で導体パターンがずれやすく、インダクタンス値のばらつきが大きい欠点があった。特に、チップ形状が小型になればなるほど、小面積中で細幅の導体パターンを精密に位置合わせして形成しなければならず、高精度印刷が必要となる。しかし、精密なパターン形成やパターン位置合わせは困難であり、歩留まりが低下する。更に、チップ断面で強度の弱い導体部が広い面積を占めているため、曲げ強度が弱い欠点もあった。

【0.0.0.6】それに対してレーザー加工方式では、チップ素体としてアルミナセラミックスなどが使用できるために、機械的な強度は大きい。チップ単体での作業が多く、そのための生産性が低い問題があった。また、外部電極を形成する部分とコイルを形成する部分を予め分けて作製することになるため、コイルを形成できる部分が短く、よってインダクタンス値の可変範囲が狭い欠点もあった。無理にインダクタンス値の可変範囲を広げようとすると、レーザー加工間隔が狭くなり短絡しやすくなってしまふ問題が生じる。また外部電極がコイル磁界を遮断するため、Q値が低下する。更に、実装時の吸着のためには、コイルを樹脂被覆した全ての外面を平らに整える必要があり、工程が複雑化する欠点もあった。

【0.0.0.7】本発明の目的は、多数のチップを同時に取り扱えるようにして生産性を高め、しかも導体パターン形成が容易であり、実装時の吸着面となる上下面を容易に平坦化できるため実装作業性も良好となるチップ型インダクタ及びその製造方法を提供することである。本発明の他の目的は、広いインダクタンス可変範囲を実現でき、Q値を高めることができる構造のチップ型インダクタ及びその製造方法を提供することである。本発明の更に他の目的は、同じ中間製品を利用してインダクタンス値の異なる最終製品を容易に製造できる方法を提供することである。

【0.0.0.8】

【課題を解決するための手段】本発明は、略直方体状のチップの両端部に外部電極が設けられ、コイル軸の方向が両外部電極間を結ぶ方向となるように螺旋状のコイルが形成され、そのコイル端部が前記外部電極に接続されており、コイル軸方向に垂直なチップ断面形状の厚み幅が1未満であるチップ型インダクタである。本発明では、コイルの一部となる上下の平行線状の導体パターンはチップ内に埋設され、コイルの残部となる側部の平行線状の導体パターンはチップ側面に形成され、それらの導体パターンが交互に接続されて螺旋状のコイルとなっており、側部の平行線状の導体パターン上に絶縁保護層が設けられていて、その点に特徴がある。

【0.0.0.9】製造方法的には、印刷積層法を利用してよいし、ジョイント積層法を利用してよい。従って、上下の導体パターンは積層工程で形成され、側部の導体パターンは積層後にチップ単体に切り離した後の状態で形成される。チップは、通常、誘電体セラミックスの焼結体からなり、チップ上下面は焼結した誘電体セラミックスの平坦面となる。チップ厚み/チップ幅が1未満であり、実装面が幅広の上下2面に限られるため、実装時にチップが置かれたときに勢いで転がることもなく安定し、チップ立ちも起きにくいし、上面が平坦面であるので実装時に確実に安定にバキューム吸着することができる。なお、面の幅が異なることから、その形状的な異方性を利用して幅の広い面が上下方向となるように向きを揃えることは容易である。それ故、テーピング梱包することなく、袋詰め梱包（バルク供給）が可能となる。側面の絶縁保護層はエポキシ等の絶縁性樹脂でよい。

【0.0.1.0】本発明において、上下の平行線状の導体パターンの一方若しくは両方はチップ長手方向に対して傾斜したパターンとし、それに対して両側部の平行線状の導体パターンはチップ長手方向に対して垂直なパターンとするのが好ましい。これにより、多数のチップを配列し一括してレーザー加工することにより一度に側部の平行線状の導体パターンを形成することができる。

【0.0.1.1】通常、上下の平行線状の導体パターンの幅と配列ピッチが、側部の平行線状の導体パターンの幅と配列ピッチに等しくなるように設定する。その他、上下の平行線状の導体パターンの幅と配列ピッチに対して、側部の平行線状の導体パターンの幅と配列ピッチが全体的に若しくは部分的に異なるように（例えば2倍以上となるように）設定してもよい。その場合には、側面の導体パターンによってインダクタンス値（コイル巻数）が決まることになる。従って、この構成を利用すると、同じ中間製品（積層体チップ）を用いても、側部の導体パターンを変えることで、インダクタンス値の異なる最終製品を製造できることになる。

【0.0.1.2】外部電極は、誘電体チップの端部を包み込むように形成してもよいし、誘電体チップの下面若しくは上下面の端部に形成されている端子導体膜で構成して

もよい。あるいは、それら端子導体膜と誘電体チップの端部に埋設され端縁が露出している1層以上のダミー導体膜とからなる構成も可能である。この構成は、間に誘電体層が介在していても間隔が0.3mm程度以下であれば、その後のメッキによって更に間隔が狭まり、実装時に半田が裏りフイレットが形成できる。誘電体層を更に薄くすればメッキ工程で導体が露がりチップの端面を覆うような構造にすることも可能である。誘電体層が厚くても、ダミー導体膜を厚くすれば、ダミー導体膜の層数が少なくてもメッキは裏りやすくなる。

【0013】また本発明は、略立方体状のチップの両端部に外部電極を設け、コイル軸の方向が外部電極間を結ぶ方向となるように螺旋状のコイルを形成し、そのコイル端末を前記外部電極に接続するようにし、コイル軸方向に垂直なチップ断面形状の厚み幅を1未満とするチップ型インダクタの製造方法である。本発明では、誘電体層の上にコイルの一部となる第1の平行線状の導体パターンを印刷形成し、積層した別の誘電体層を介してコイルの一部となる第2の平行線状の導体パターンを印刷形成し、更にその上に誘電体層を設け一体化し、その後、個々のチップに切断分離し、チップの両側面に第3及び第4の平行線状の導体パターンを形成して、それらによって螺旋状のコイルを構成し、側面の第3及び第4の平行線状の導体パターン上に絶縁保護層を設ける。

【0014】チップ側部の平行線状の導体パターンは、面状の導体膜を形成した後、レーザー加工により多数の平行溝を掘ることによって形成するのが好ましい。回転刃による機械加工等で平行溝を掘ることも可能である。その場合、チップ側部の面状の導体膜は、積層時に線状導体パターンが側面に位置するように印刷し、その後の焼成によって形成することもできる。勿論、チップ焼成後に導体ペーストを塗布し焼き付けることによって形成してもよい。

【0015】チップ側部の平行線状の導体パターンは、スクリーン印刷法、あるいは転写法により形成することもできる。この場合、コイル幅は0.03mm以上とする必要がある。

【0016】積層時に、チップの下面若しくは下面と上面の両端部に、外部電極となる端子導体膜を印刷により形成する。積層時に、チップの両端部に、ダミー導体膜を印刷により形成すると、それを外部電極の一部として利用することができる。このような方法で、外部電極を容易に形成することができる。

【0017】チップの上下の平行線状の導体パターンの幅と配列ピッチは一定に維持し、それに対して側部の平行線状の導体パターンの幅と配列ピッチを全体的に若しくは部分的に変えることによって、同じ中間製品（積層体チップ）を用いてインダクタンス値の異なる複数品種の最終製品を製造することが可能となる。これによって、製造コストを低減し、効率よく生産することができ

る。

【0018】

【実施例】図1～図3は本発明に係るチップ型インダクタの実施例を示す製造工程の説明図である。図1は前半の積層工程での印刷パターンを表し、図2はその各工程終了後の断面を表している。図3は積層後の工程を示している。

【0019】まず積層工程で端子導体膜と上下の平行線状の導体パターンを形成する。ここでは印刷積層法を用いている。チップ構成材料としては、例えばガラスを添加して低温焼結化を可能とした誘電体セラミックスを使用する。本実施例では、珪酸ガラスとアルミナを体積比で70：30の比率に混合した誘電体材料粉末を使用し、これにビヒクルとしてエチルセルロースとデジビネールと分散剤、可塑性などを配合し混合して、印刷用の誘電体ペーストを作製した。導体ペーストとしては、銀粒子を上記ビヒクルに混合した銀ペーストを使用した。ビヒクル中のバインダとしては、エチルセルロース以外に、P.V.B.（ポリビニルブチラール）、メチルセルロース、アクリル樹脂などでもよい。導体ペーストは、銀に代えて銀パラジウムを用いてもよい。分散剤や可塑性は、印刷性の向上や生産時の取り扱い性を考慮して、適宜適量添加する。

【0020】以下の印刷積層工程を示す括弧付き数字は、図1及び図2の括弧付き数字で示された図に対応している。

（1）印刷用のペースト10上に、下面両端部に位置する矩形の端子導体膜12を印刷する。

（2）それら端子導体膜の間を埋めるように、長さが短い誘電体パターン13を中央に印刷する。上記（1）と

（2）の工程を、必要に応じて所定の厚みとなるまで複数回繰り返してもよい。

（3）全面誘電体パターン14を印刷する。通常、必要回数重ねて印刷し、所定の厚みまで積層する。

（4）下方の平行線状の導体パターン15を印刷する。ここでは、チップ長手方向に対して垂直なパターンとしている。

（5）全面誘電体パターン16を必要回数重ねて印刷し、所定の厚みまで積層する。

（6）上方の平行線状の導体パターン17を印刷する。ここでは、チップ長手方向に対して傾斜したパターンとしている。上方の導体パターンの幅と配列ピッチは、下方の導体パターンの幅と配列ピッチと同じに設定している。

（7）全面誘電体パターン18を印刷する。通常、必要回数重ねて印刷し、所定の厚みまで積層する。

（8）上面両端部に位置する矩形の端子導体膜19を印刷する。

（9）それら端子導体膜の間を埋めるように、長さが短い誘電体パターン20を中央に印刷する。

上記(8)と(9)の工程を、必要に応じて所定の厚みとなるまで複数回繰り返してもよい。

【0021】なお、上記の実施例では、説明及び図面を分かり易くするために、積層体チップを1個ずつ製造する場合、(1つのチップ領域のみ)の印刷積層手順を示している。しかし、通常、このような積層体チップの製造は、量産化のために、縦横に同じパターンが多数規則的に配列されるように印刷積層し、得られた積層体ブロックを縦横に切断することで個々のチップに分離する方式で多数個取りができるようにする。従って本発明においても、実際には、そのような多数個取りの方式で印刷積層し製造することになる。このようにして最大厚/最大幅が未滿となる積層体チップを得る。

【0022】次に図3に示す後工程に移る。

(1) 上記のように作製した積層体チップを脱脂、焼成した後、バレル研磨によりバリ取りを行い中間製品2-1とする。

(2) チップの両側面全体に銀ペーストを塗布し、焼き付けることで導体膜2-2を形成する。

(3) チップを並べてレーザ加工により平行溝を掘り、平行線状の導体パターン2-3を形成する。ここでは、チップ長手方向に対して垂直なパターンであり、上下の導体パターンの幅と配列ピッチに一致するようにしている。これによって、側部の導体パターンと上下の導体パターンが連続し、螺旋状のコイルとなる。

(4) 側部の平行線状の導体パターン上に絶縁保護層2-4を設ける。この絶縁保護層2-4は、エポキシなどの耐熱性合成樹脂からなる。

(5) 外部に露出している導体部分にメッキ処理(例えばニッケルメッキと半田メッキ)を施すことで、外部電極2-5を形成する。これによって、最終製品であるチップ型インダクタ2-6が得られる。

【0023】このチップ型インダクタは、縦横の形状異方性を有するために容易に特定の向きに揃えることができる。実装面を幅の広い2面(上下面)に限定することができる。従って、テーピング梱包することなく袋詰め梱包でもバースフィードで所定の向きに自動整列供給(バルク供給)することが可能である。また、幅広の上下面は誘電体パターンの印刷面であるので平らに仕上げられており、実装時のバキューム吸着を確実に行うことができる。チップ外形における最大幅に対する最大厚が1未滿であるので、実装時にチップを回路基板上に載せる時に翫いて転がることもなく安定し、半田付け時のチップ立ちも起き難い。絶縁保護層や外部電極などの厚みのばらつき、及び形状的異方性によるチップ整列が可能などなどを考慮し、チップ外形の最大幅と最大厚の関係を定める。チップ寸法にもよるが、現状の1.0×0.5タイプのチップでは、

$0.10 \times 0.6 \text{ mm} \times (\text{最大幅} - \text{最大厚}) \leq 0.1 \times 0.2 \text{ mm}$   
の範囲、より好ましくは

$0.1 \text{ mm} \leq (\text{最大幅} - \text{最大厚}) \leq 0.2 \text{ mm}$   
の範囲とするのがよい。

【0024】図4は、本発明に係るチップ型インダクタにおける外部電極の例を示す説明図である。Aに示す例は、上記の実施例と同様であり、チップ端部の外周のみ外部電極2-5を形成し、端面はほぼ無導体面2-6としている。Bに示す例では、チップ端部を包み込むように外部電極2-5を形成している。この構造は、印刷でも形成できるが、ディップ法により導体ペーストを塗布し焼き付ける方法でも形成できる。Cに示す例は、チップの上下面の端部に形成されている端子導体膜の他に、チップ内の端部に埋設され端縁が露出している複数層のダミー導体膜2-7とを利用して外部電極2-5を構成している。ダミー導体膜の間あるいはダミー導体膜と端子導体膜との間の誘電体層を0.13mm以下に設定すると、半田付けの際にフィレットが形成できるようになる。

【0025】図5は本発明に係るチップ型インダクタの他の実施例を示す説明図である。積層工程までは、前記の実施例と同様であるので、それらについての説明は省略する。図5の(1)は図3の(3)の状態に対応しており、図5の(2)は図3の(4)の状態に対応している。この実施例では、側部の平行線状の導体パターン2-3の長さを短くして(中間部は長くてもよい)端子導体膜1-2、1-9に接続されないようにする。これによって、コイルをチップのほぼ全長にわたるように形成できる。従って、コイル形成範囲が広がり、インダクタンス値の設定可能な範囲が拡大することになる。そして、この構成では、コイル端部がチップ端面近傍に位置し、且つチップ端面は無導体面となっているので、コイルで発生する磁界が導体によって遮断されず、Q値を高くすることができる。側部の平行線状の導体パターンは、レーザ加工で形成してもよいが、スクリーン印刷法あるいは転写法(樹脂などにパターンを形成し、それをチップに転写する方法)によって形成してもよい。コイルと外部電極との接続は、チップ最端部で行われる。

【0026】図6及び図7は、本発明に係るチップ型インダクタの更に他の実施例を示す説明図である。図6は前半の積層工程での印刷パターンを表し、図7は積層後の工程を示している。

【0027】まず積層工程で端子導体膜と上下の平行線状の導体パターンを形成する。ここでも印刷積層法を用いている。使用する材料などは最初の実施例と同様であってよいので、それらについての説明は省略する。

【0028】以下の印刷積層工程を示す括弧付き数字は、図6の括弧付き数字で示された図に対応している。

(1) 下面両端部に位置する矩形状の端子導体膜3-0を印刷する。

(2) それら端子導体膜の間を埋めるように、長さが短い誘電体パターン3-1を中央に印刷する。上記(1)と(2)の工程を、必要に応じて所定の厚みとなるまで複



数回繰り返してもよい。

(3) 下方の平行線状の導体パターン3-2を印刷する。ここでは、チップ長手方向に対して傾斜したパターンとしている。この工程の前に、全面誘電体パターンを1層以上印刷してもよい。

(4) 側縁に沿った線状パターンを除くような誘電体パターン3-3を印刷する。

(5) 残した線状パターンを埋めるように、両側縁に線状導体パターン3-4を印刷する。上記(4)と(5)の工程を、必要に応じて所定の厚みとなるまで複数回繰り返してもよい。なお、(4)と(5)の工程は逆でもよい。

(6) 棒状の導体パターン3-5を印刷する。その両端部分はダミー導体膜に相当し、両側縁部分は線状導体パターンに相当するものである。

(7) 棒の内部に誘電体パターン3-6を印刷して埋める。上記(6)と(7)の工程を、必要に応じて所定の厚みとなるまで複数回繰り返してもよい。なお、(6)と(7)の工程は逆でもよい。(4)～(7)の工程を適宜回数繰り返すことで、複数層のダミー導体膜と、連続した線状導体パターンによる面状導体膜を形成する。但し、上下対称な構造とすることが好ましい。

(8) 上方の平行線状の導体パターン3-7を印刷する。ここでも、チップ長手方向に対して傾斜したパターンとしている。上方の導体パターンの幅と配列ピッチは、下方の導体パターンの幅と配列ピッチと同じである。

(9) チップ両端部を除くように、長さが短い誘電体パターン3-8を中央に印刷する。この工程の前に、全面誘電体パターンを1層以上印刷してもよい。

(10) 上面両端部に位置する矩形の端子導体膜3-9を印刷する。上記(9)と(10)の工程を、必要に応じて所定の厚みとなるまで複数回繰り返してもよい。

【0029】このようなパターンを縦横に多数規則的に配列した積層体ブロックを、縦横に切断することで個々のチップに分離する。次に図7に示す後工程に移る。

(1) 上記のように作製した積層体チップを脱脂、焼成した後、バレル研磨によりバリ取りを行い中間製品4-0を得る。側面の面状導体膜4-1は線状導体パターンが積層されて連続し、焼成されることで形成されているものである。

(2) チップを並べてレーザ加工を行うことにより平行溝4-2を掘り、平行線状の導体パターン4-3を形成する。ここでは、チップ長手方向に対して垂直なパターンとし、上下の導体パターンの幅と配列ピッチの2倍に設定している。これによって、側部の導体パターンと上下の導体パターンが連続し、螺旋状のコイルとなる。

(3) 側部の平行線状の導体パターン上に絶縁保護層4-4を設ける。この絶縁保護層は、耐熱性の合成樹脂(例えばエポキシ樹脂)からなる。

(4) 外部に露出している導体部分にメッキ処理(例え

ばニッケルメッキと金メッキ)を施すことで、外部電極4-5を形成する。これによって、最終製品となるチップ型インダクタ4-6が得られる。

【0030】図8及び図9は上下の導体パターン5-0と側部の導体パターン5-2の関係の例を示している。コイル巻数が少なくてもよい場合には、図8のA及びBで示すようにパターン幅を広げてよく、側部の平行線状の導体パターンはスクリーン印刷法あるいは転写法で効率よく形成できる。

【0031】また図9のAで示すように、上下の導体パターン5-0の幅と配列ピッチを狭く形成しておくと、Bのように側部の導体パターン5-2の幅及び配列ピッチを広げれば実質的にコイル巻数が少なくなり、Cのように側部の導体パターン5-2の幅及び配列ピッチを狭めれば実質的にコイル巻数が増える。あるいはDで示すように部分的に導体パターン5-2の幅及び配列ピッチを変えれば、それに対応したコイル巻数を実現できる。このように、同じ上下の導体パターンであっても側部の導体パターンを変えることで異なる巻数(インダクタンス値)の最終製品を製造することができる。

【0032】以上、本発明の好ましい実施例について詳述したが、本発明はかかる構成のみに限定されるものではない。印刷積層法に限らず、ジート積層法(誘電体シート上に導体パターンを印刷し、それを積層一体化する方法)でも製造できる。上下の導体パターンをチップ長手方向に対して垂直なパターンとし、側部の導体パターンの方をチップ長手方向に対して傾斜したパターンとしてもよい。側部の導体パターンをレーザ加工等で形成する場合には、作業性向上の観点からは、多数のチップを配列して加工できるように、両側部の導体パターンをチップ長手方向に対して垂直となるようなパターンとするのが好ましい。

【0033】

【発明の効果】本発明は上記のように、積層時に上下の導体パターンを形成し、チップに切断後に側部の導体パターンを形成することでコイルとする構成であるから、多数のチップを同時に取り扱うため生産性が高く、しかも導体パターン形成が容易であり、実装時の吸着面となる上下面を容易に平坦にできるため実装作業性が良好となる。

【0034】また本発明では、コイル端部がチップ端面に達するように、コイルをチップ全長にわたって形成できるため、広いインダクタンス可変範囲を実現でき、その場合にチップ端面を無電極面とすることでQ値を高めることができる。

【0035】更に本発明では、同じ積層体チップを用いても、側部の導体パターンの幅と配列ピッチを変えるだけで、インダクタンス値の異なる製品が製造可能となり、多品種の製造に容易に対応できる。

【0036】本発明では、チップ厚／チップ幅が1未満

であり、実装面を上下面に限定していることにより、その形状的な異方性を利用して幅の広い面が上下方向となるように向きを揃えることは容易であり袋詰の梱包（バルク供給）が可能であるし、実装時にチップが置かれたときに押いで転がることもなく安定し、チップ立ちも起き難く、上下面が平坦面であるので確実に安定にパッケージ吸着することができる。

【図面の簡単な説明】

【図1】本発明に係るチップ型インダクタの実施例における積層工程での印刷パターンの例を示す工程説明図。

【図2】その各工程後における断面を示す説明図。

【図3】その積層焼成後の工程を示す説明図。

【図4】外部電極の例を示すチップ型インダクタの斜視図。

【図5】本発明に係るチップ型インダクタの製造工程の他の例の一部を示す説明図。

【図6】本発明に係るチップ型インダクタの他の実施例

における積層工程での印刷パターンの例を示す工程説明図。

【図7】その積層焼成後の工程を示す説明図。

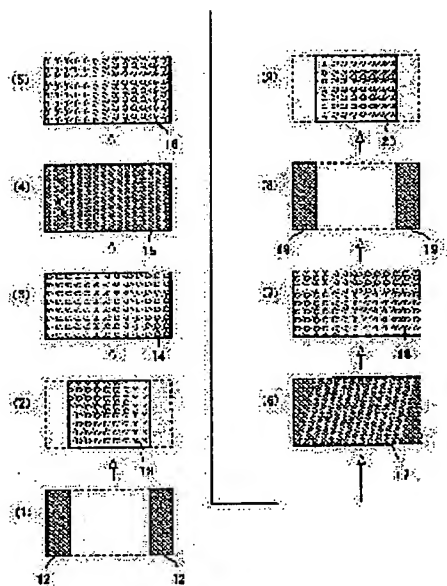
【図8】上下の導体パターンと側部の導体パターンの関係の一例を示す説明図。

【図9】上下の導体パターンと側部の導体パターンの関係の他の例を示す説明図。

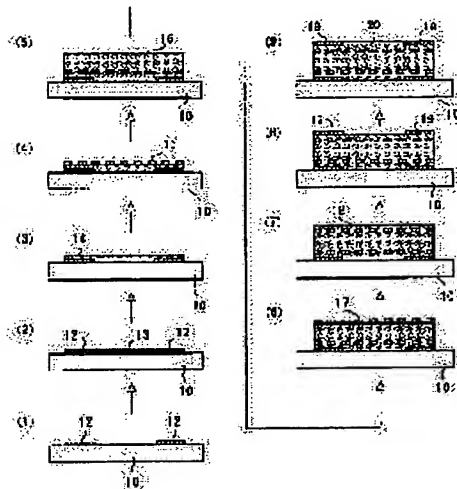
【符号の説明】

- 1、2、1'、9 端子導体膜
- 3、5 下方の平行線状の導体パターン
- 1'6 誘電体パターン
- 1'7 上方の平行線状の導体パターン
- 2'1 中間製品
- 2'2 導体膜
- 2'3 側部の平行線状の導体パターン
- 2'4 絶縁保護層
- 2'5 外部電極
- 2'6 チップ型インダクタ

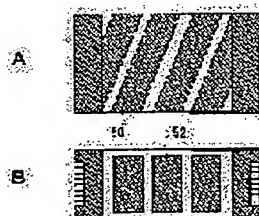
【図1】



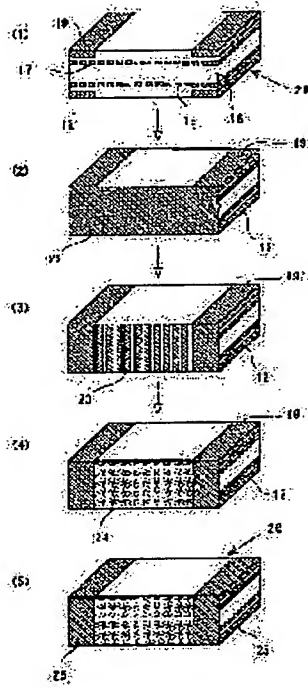
【図2】



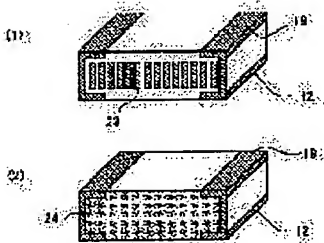
【図3】



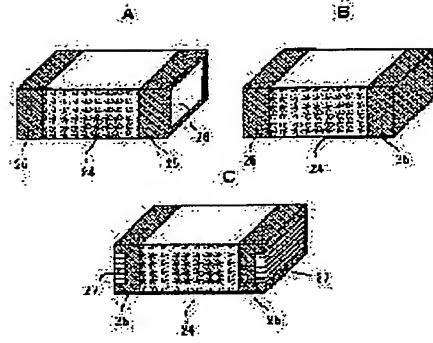
【図3】



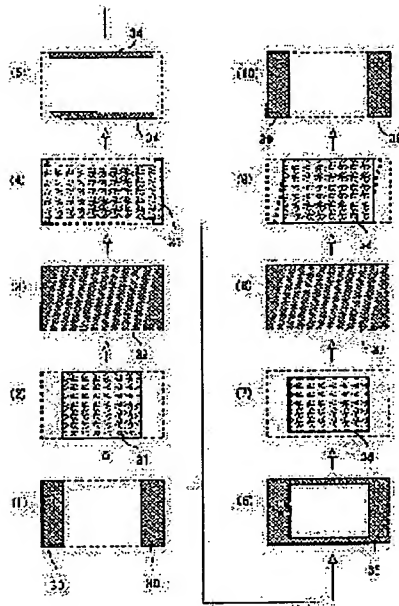
【図5】



【図4】

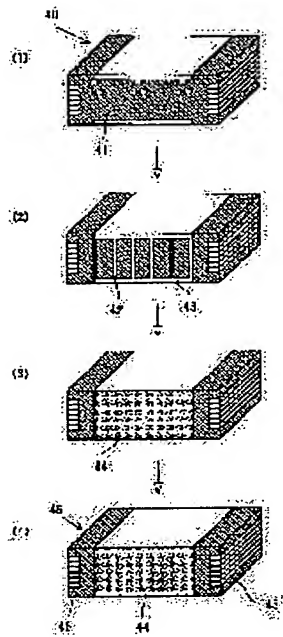


【図6】

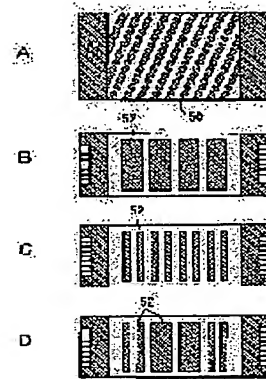




【図7】



【図9】



フロントページの続き

(72)発明者 榎葉 清志  
東京都港区新橋5丁目36番11号 エフ・デ  
ィー・ケイ株式会社内

Fターム(参考) 5E062.0004  
5E070.AA01 AB06 BA12 CB03 CB13